

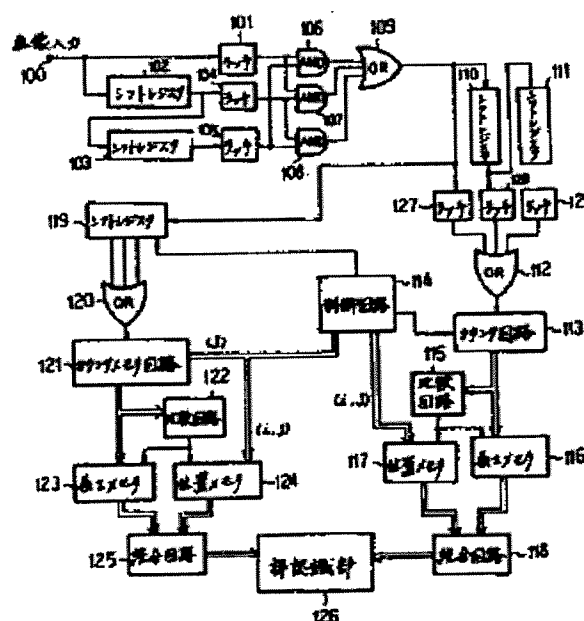
FRAME RECOGNIZING SYSTEM

Publication number: JP59142678
Publication date: 1984-08-15
Inventor: SAKURAI AKIRA
Applicant: RICOH KK
Classification:
 - international: G06K9/00; G06K9/00; (IPC1-7): G06K9/00
 - European:
Application number: JP19830016623 19830203
Priority number(s): JP19830016623 19830203

Report a data error here

Abstract of JP59142678

PURPOSE: To recognize surely even an unshaped frame by extracting a long segment as a frame line candidate from a picture OR reduce in each scanning direction after the majority processing to make the picture hardly affected by noise. **CONSTITUTION:** A binary picture signal is inputted to an input terminal 100 in a picture unit. This binary picture signal is inputted directly to a latch circuit 101 and is inputted to latch circuits 104 and 105 after being delayed by the on-line length. The output signals of circuits 101, 104, and 105 are subjected to the majority processing, and the output is outputted from an OR circuit 109. Or between the output signal of this circuit 109 and a signal attained by delaying this signal by the one-line length is ORed in an OR circuit 112 through latch circuits 127-129 and is inputted to a counter circuit 113. A control circuit 114 enables 3 the circuit 113 for one scanning time and is ORed for the scanning lines in the subscanning direction to reduce them to one scanning line. An integrating circuit 118 integrates a black run, which can be regarded as one long segment, out of the extracted black runs in the main scanning direction. The similar operation is performed in the subscanning direction.



Data supplied from the esp@cenet database - Worldwide

Family list

[Back to JP5914](#)

1 family member for: **JP59142678**
Derived from 1 application

1 FRAME RECOGNIZING SYSTEM

Inventor: SAKURAI AKIRA

Applicant: RICOH KK

EC:

IPC: *G06K9/00*; *G06K9/00*; (IPC1-7): G06K9/00

Publication info: **JP59142678 A** - 1984-08-15

Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—142678

⑬ Int. Cl.³
G 06 K 9/00

識別記号

庁内整理番号
Z 6619—5 B

⑭ 公開 昭和59年(1984)8月15日

発明の数 1
審査請求 未請求

(全 5 頁)

⑮ 枠認識方式

⑯ 特 願 昭58—16623

⑰ 出 願 昭58(1983)2月3日

⑱ 発 明 者 桜井彰

東京都大田区中馬込1丁目3番

6号株式会社リコー内

⑲ 出 願 人 株式会社リコー

東京都大田区中馬込1丁目3番
6号

⑳ 代 理 人 弁理士 鈴木誠

明 細 書

1. 発明の名称

枠認識方式

2. 特許請求の範囲

(1) 2値画像上の主走査方向と副走査方向の長線分を抽出し、枠線としての主、副各走査方向の2対の長線分を判別することにより枠を認識する枠認識方式において、2値画像の各走査ラインについて隣接する複数走査ラインとの間で各画素の状態の多数決定処理を施し、この多数決処理後の2値画像に複数走査ライン毎に副走査方向へ論理和処理することにより、副走査方向に縮小した2値画像を得るとともに、上記多数決処理後の2値画像を複数画素毎に主走査方向へ論理和処理することにより主走査方向に縮小した2値画像を得、主走査方向の長線分を上記の副走査方向に縮小した2値画像より抽出し、副走査方向の長線分を上記の主走査方向に縮小した2値画像から抽出することを特徴とする枠認識方式。

3. 発明の詳細な説明

〔技術分野〕

本発明は、帳票や文書などの2値画像上の枠を認識する方式に関する。

〔従来技術〕

2値画像上の枠を認識する方式としては、①枠のコーナ部に相等するパターンをマスクによるパターンマッチング処理で検出し、検出したパターンのうち所定の位置関係を満足するものを選別することによつて、枠を認識する方式、②線分を追跡し、閉ループとなる線分の軌跡の形状を判定することにより枠を認識する方式、③主、副各走査方向の長線分を抽出し、枠線としての主、副各走査方向の2対の長線分を判別することにより枠を認識する方式、の3方式が代表的である。

しかし、上記の方式①は、印刷された枠のように形状の整った枠の認識には適用できるが、手書き枠のように変形の大きな枠の認識に適用すると認識率の低下が著しい。つまり、認識対象の自由度が少ないという欠点がある。方式②は、線の切断等のノイズ、スキュー（傾き）の影響を受けや

すく、また比較的大容量の画像バッファが必要で処理時間も長くなりやすい欠点がある。

上記方式③としては、発明者は2値画像を主、副各走査方向に論理和処理して主、副各走査方向に縮小し、縮小画像から長線分を抽出することにより、高速処理を容易にし、かつスキューの影響を受けにくくした改良方式を既に提案している(特開昭57-104868号)。しかし、フアクシミリ画像等を処理する場合に、誤認識を起こすことがあつた。即ち、フアクシミリ画像などの伝送画像においては、主走査方向の“黒すじ”がノイズとして発生しやすく、この“黒すじ”を長線分として誤抽出する結果、本来の枠が分断されて認識される場合があつた。

〔目的〕

本発明の目的は、大容量の画像バッファを必要とすることなく高速処理が可能で、“黒すじ”等のノイズやスキューの影響を受けにくく、手書き枠などの変形した枠の認識にも適用可能な枠認識方式を提供することにある。

より具体的には、本発明は上記方式③を改良し

(3)

のではなく、例えば5走査ラインで多数決をとるようにしてもよい。基本的には、枠認識の精度に応じて多数決をとる走査ライン数を決めることができる。フアクシミリ画像で発生する“黒すじ”は一般に1画素の太さであり、上記多数決処理により除去できる。

多数決処理回路のオア回路109の出力信号と、それを1ライン長のシフトレジスタ110,111で遅延した信号は、ラッチ回路127,128,129を介してオア回路112に輸入され論理和がとられる。このオア回路112の出力信号はカウンタ回路118に輸入される。このカウンタ回路118は制御回路114でイネーブルされている期間において、入力信号が“0”から“1”に遷移してから画素クロックのカウンタを開始し、入力信号が“1”から“0”に遷移するとカウンタ値を出力した後、リセットする。即ち、制御回路114でカウンタ回路118がイネーブルされている期間のみ、オア回路112の出力信号が有効となる。このタイミング制御について、第2図により説明する。

(5)

た枠認識方式を提供しようとするものである。

〔実施例〕

第1図は、本発明の一実施例を示す概略ブロック図である。

枠認識処理の対象となる2値画像の信号は入力端子100に画素単位にシリアルに輸入される。この2値画像信号はラッチ回路101に直接入力され、また1ライン長のシフトレジスタ102,108によつてそれぞれ遅延された後にラッチ回路104,105に輸入される。したがつて、2値画像の連続する8走査ラインの同一位置の画素信号(本実施例では黒は“1”、白は“0”)がラッチ回路101,104,105にラッチされる。

ラッチ回路101,104,105の出力信号はアンド回路106,107,108とオア回路109から成る多数決回路に輸入され、多数決処理を施される。即ち、ラッチ回路101,104,105のうち2つ以上の出力信号が“1”の場合のみ、オア回路109の出力信号が“1”になる。なお本実施例では8走査ラインについて多数決処理を施しているが、これに限るも

(4)

第2図の $S_{i,j}$ は入力2値画像上の画素であり、 i は副走査方向の番地(走査ライン番号)、 j は主走査方向の番地である。上記の多数決処理の前後の画素の位置は1対1に対応している(つまり、縮小はなされていない)。制御回路114は、 $i=0$ と $i=1$ の走査ラインの多数決処理信号がシフトレジスタ110,111に蓄積し、 $i=2$ の多数決処理信号が多数決処理オア回路109から出力される時点からカウンタ回路118を1走査ライン期間イネーブルし、オア回路112の出力信号を有効にさせる。同様に、次の8走査ラインの最後の走査ライン($i=5$)でオア回路112の出力信号を有効にさせる。以下同様の制御により、実質的に多数決処理画像を8走査ライン毎にブロック化し、各ブロックの8走査ラインを副走査方向に論理和して、1走査ラインに縮小する。このようにして副走査方向に $\frac{1}{8}$ に縮小した画像上の画素が第2図の $V_{i,j}$ であり、 I は副走査方向の番地、 J は主走査方向の番地である。 $V_{i,j}$ の J は $S_{i,j}$ と1対1に対応しており、 I は $i=0\sim 2$ に $I=0$ が、 $i=3\sim 4$ に $I=1$ が対応する。

なお、縮小倍率は $\frac{1}{8}$ に限るものではない。

(6)

さて第1図に戻り、カウンタ回路118は前述から明らかなように、副走査方向に縮小された画像の各走査ライン上における黒ランの長さ(ランレングス)をカウントし、出力する。比較回路115はカウンタ回路118から出力されるランレングスを所定値 L_H と比較し、 L_H 以上のときに書き込み信号を長さメモリ116と位置メモリ117へ送出する。長さメモリ116は書き込み信号を受けると、カウンタ回路118から出力されているランレングスのデータを内部に格納する。また、位置メモリ117は制御回路114から縮小画像の番地 I, j が入力されており、書き込み信号を与えられた時の番地 I, j のデータを内部に格納する。即ち、入力2値画像を多数決処理し、さらに論理処理によつて副走査方向に縮小した画像上の黒ランのうち、 L_H 以上のランレングスを持つ黒ランのランレングス・データと、その黒ランの終端(右端)の番地データが長さメモリ116と位置メモリ117に得られる。

118は統合回路であり、長さメモリ116と位置メモリ117に格納されているデータを参照し、上

(7)

ない。

副走査方向の長線分の抽出も同様であり、以下説明する。

多数決回路のオア回路109の出力信号は、8ビットのシフトレジスタ119に順次入力され、8画素分蓄積されるたびに制御回路114から出力タイミングが送出され、シフトレジスタ119はその内容を並列出力した後、リセットする。このシフトレジスタ119の出力信号はオア回路120で論理和され、主走査方向に $1/8$ に縮小した画像信号がカウンタメモリ回路121に入力される。

第2図の $H_{i,j}$ は主走査方向に縮小した画像上の画素であり、 i は $S_{i,j}$ の i と1対1に対応しており、 j は $S_{i,j}$ の $j=0\sim 2$ が $J=0$ 、 $j=3\sim 5$ が $J=1$ に対応している。

なお、縮小倍率 $1/8$ に限られるものではない。

第1図に戻つて、カウンタメモリ回路121はカウンタ機能と、番地 J の最大値に相当するメモリ番地を持つメモリとしての機能を備えている。即ち、カウンタメモリ回路121は制御回路114から与え

述のようにして抽出された主走査方向の黒ランのうち、1本の長線分とみなし得る黒ランを統合する処理を行う。即ち、 $I=k$ の黒ランと、 $I=k$ または $I=k\pm 1$ の他の黒ランとが互の終端と始端、または始端と終端との主走査方向の距離がある値 m 以下のとき、それら黒ランを1つの黒ランに統合する。なお、黒ランの始端番地は終端番地とランレングスからわかる。例えば、第8図(4)、(5)にそれぞれ示す1対の黒ランは統合される。そして統合回路118は、統合した黒ラン、つまり主走査方向の長線分の先端と終端の番地を求め、出力する。

このように、論理和縮小した画像から抽出した黒ランを統合して主走査方向の長線分を抽出するから、スキューにより全体的に傾いた長線分も、ノイズによつて局所的に途切れたり、線幅が変化したり、また手書き枠の枠線のように多少曲つた長線分も確実に抽出できる。しかも、前述のように多数決処理によつて“黒すじ”は除去されるため、“黒すじ”を長線分と誤つて抽出することも

(8)

られる番地 J の値が切り替わつた時に(この時に、シフトレジスタ119の内容が出力される)、オア回路120の出力信号が“1”であれば、メモリ番地 (J) の記憶内容に1を加算する。また、オア回路120の出力信号が“0”の時は、メモリ番地 (J) の記憶内容を出した後、同メモリ番地の記憶内容をクリアする。つまりカウンタメモリ回路121は、主走査方向に縮小した画像上において、副走査方向の黒ランを抽出してそのランレングスを求め、黒ランの終端(下端)を検出すると、そのランレングスを出力する回路である。

比較回路122はカウンタメモリ回路121から出力されるランレングスとある値 L_V と比較し、値 L_V 以上であれば書き込み信号を送出する。この書き込み信号が出ると、長さメモリ128はカウンタメモリ回路121から出力されるランレングス・データを内部に格納する。また位置メモリ124は、書き込み信号が出ると、制御回路114から与えられる番地 i, j のデータを格納する。統合回路125は長さメモリ128と位置メモリ124の記憶データを参照

し、抽出された副走査方向の黒ランについて前述の統合回路118と同様の統合処理を行う回路である。即ち、 $J=k$ の黒ランと、 $J=k$ または $J=k \pm 1$ の他の黒ランとが、互の終端と始端、または始端と終端との副走査方向の距離がある値以下のとき、それら黒ランを1つの黒ランに統合し、統合した黒ラン(副走査方向の長線分)の始端と終端の番地を出力する。

このように、論理和縮小した画像から抽出した黒ランを統合し、副走査方向の長線分を抽出するから、スキューにより全体的に傾いた長線分も、ノイズによつて局部的に途切れたり線幅が変化したり、手書き枠の枠線のように曲つた長線分も確実に抽出できる。

以上のようにして抽出された主、副各走査方向の長線分は枠線の候補であり、それぞれのデータは枠認識部126に輸入される。この枠認識部126は、入力される枠線候補としての長線分の相対位置関係を調べ、1つの枠を構成する主走査方向の1対の長線分と副走査方向の1対の長線分を判別

し、枠の領域を認識する。この枠認識の処理は前述の特開昭57-104868号公報に詳述したと同様の手順でよく、また本発明の要点ではないので、詳細な説明は省略する。

〔効果〕

以上詳述した如く、本発明は多数決処理を施した後、主、副各走査方向に論理和縮小処理した画像から枠線候補としての長線分を抽出するから、スキューや“黒ずじ”等のノイズの影響を受けにくく、印刷された枠のみならず手書き枠などの形状の整わない枠も確実に認識することができ、しかも前記実施例から明らかなように、大容量の画像バッファを用いることなく要易に高速処理を達成できる等の効果を有するものである。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す概略ブロック図、第2図は画像の縮小を説明するための図、第3図は統合される線分の例を示す図である。

102, 108, 110, 111, 119 … シフトレジスタ、
101, 104, 105, 127, 128, 129 … ラッチ回路、

11

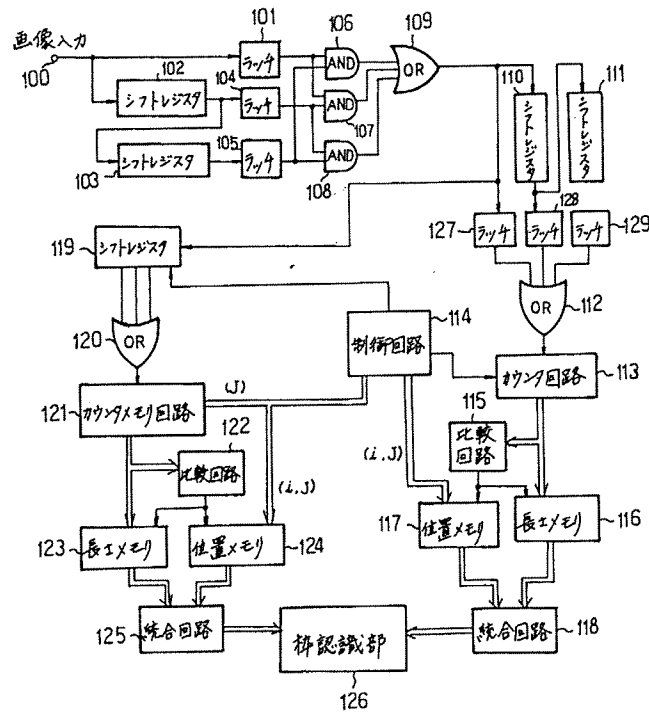
12

118 … カウンタ回路、114 … 制御回路、115, 122 … 比較回路、116, 128 … 長さメモリ、117, 124 … 位置メモリ、118, 125 … 統合回路、121 … カウンタメモリ回路、126 … 枠認識部。

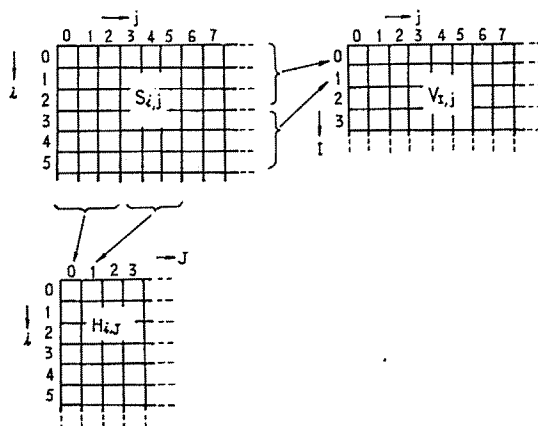
代理人弁理士 鈴木 誠



为 1 图



为 2 图



为 3 图

